

WX6000 系列 Datasheet

2026.9

声明

该手册中的数据仅是在特定条件下的测试结果，客户在不同条件下测试结果可能存在差异。任何不当使用造成的直接或间接损失，我司不承担责任。手册中的内容可能会根据产品实际状态有更新，有任何变更未及时知会到客户，我司不承担责任。有任何疑问请跟我司销售或技术支持沟通。

Revision History

Revision	Data	Comments
0.1	2024.12	Initial Revision
0.2	2026.07	更新封装尺寸说明
0.3	2026.07	更新芯片框图，增加订购信息
0.4	2026.08	更新芯片功耗和光模块适配信息
1.0	2026.09	更新散热参数、光模块型号表、部分引脚描述
1.1	2026.09	更新 1.1.7 特性描述“片上最大支持 32K 二元匹配器”；更新 1.1.10 特性描述“最多支持 2624 个调度树叶子节点”

目录

声明.....	2
REVISION HISTORY	3
1 WX6000 系列简介	1
1.1 主要技术特征	2
1.1.1 主机接口	2
1.1.2 以太网接口	2
1.1.3 软件接口	2
1.1.4 管理接口	2
1.1.5 虚拟化	3
1.1.6 数据中心	3
1.1.7 报文交换和处理	3
1.1.8 RDMA	4
1.1.9 无状态卸载	4
1.1.10 发送调度	4
1.1.11 时间同步	5
1.1.12 安全	5
1.1.13 远程启动	5
1.1.14 功耗管理	5
1.2 引脚描述	6
1.3 电气规格	15
1.3.1 绝对最大额定值	15
1.3.2 建议工作条件	15
1.3.3 工作电流	16
1.3.4 模式配置说明	17
1.3.5 ETH 时钟输入	18
1.3.6 电源设计	18
1.3.7 复位时间	19
1.3.8 NCSI AC SPECIFICATION	19
1.3.9 FLASH 推荐	20
1.3.10 光模块推荐	20
1.3.11 PCI_EXPRESS 布线建议	20
1.3.12 QSFP28 布线建议	21
2 芯片封装尺寸说明	22
第3章 热参数	23
3.1 热阻参数	23
第4章 订购信息	23

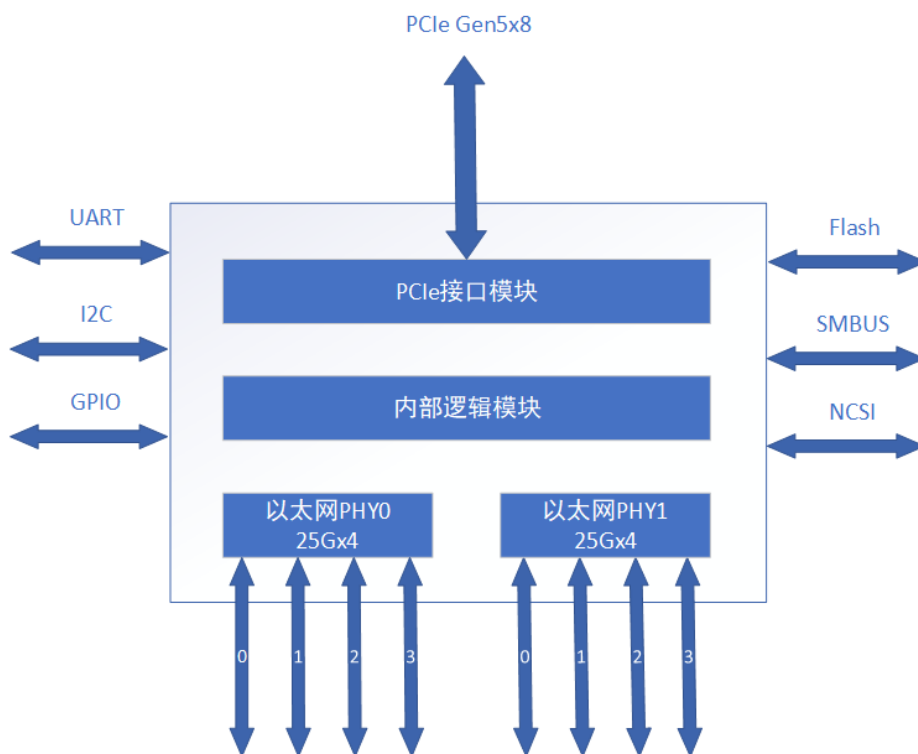
1 WX6000 系列简介

WX6000 系列是专为数据中心、云计算平台、AI 训练和推理以及高性能计算集群专门设计的高性能网络接口卡（NIC），最高支持 200Gb/s 的数据传输速率。

主要特点与优势：

- 高带宽：支持高达 200 Gb/s 的双向数据传输速率，确保了海量数据集和复杂模型训练所需的极高吞吐量。
- 低延迟通信：内置先进的硬件加速功能，如 RDMA（远程直接内存访问），极大减少了数据传输延迟，提高了整体计算效率。
- 卸载引擎：通过集成卸载引擎，将网络处理任务从 CPU 转移到 NIC 上，减轻了主机 CPU 的负担，释放更多资源用于核心计算任务。
- 可扩展性：支持多租户环境下的高效资源分配，满足不同规模应用的需求，同时保证服务质量（QoS）的一致性和稳定性。

WX6000 系列芯片框图结构如下：



1.1 主要技术特征

1.1.1 主机接口

- 支持 PCIe 5.0 协议标准，兼容 1.0 至 4.0 标准
- 支持双路 PCIe 的多主机接口，每路均支持 x1/x2/x4/x8 通道数
- 每路 PCIe 最大支持 512 个 PCIe 标签，支持 5bits/8bits/10bits 标签
- 支持 512 字节最大有效载荷和 1024 字节最大请求
- 支持 PCIe Relax Ordering
- 支持 ARI/AER/TPH/IDO/VPD/FLR/VDM/ACS
- 支持 SRIS

1.1.2 以太网接口

- 两路 10/25/40/100GbE 端口或四路 10G/25G 端口
- 支持 SFP+、SFP28、QSFP+、QSFP28 等光纤接口
- 支持 IEEE802.3 条款 73 自动协商的背板和铜缆
- 支持最大 9.5K 字节巨型帧
- 支持发送/接收流控暂停帧

1.1.3 软件接口

- 最大支持 2048 个发送队列和 512 个发送完成队列
- 最大支持 2048 个接收队列
- 每个 VF 最大支持 256 个发送队列和接收队列
- 最大支持 8 个管理队列，用于 PF 驱动和固件之间的通信
- 最大支持 512 个邮箱队列，用于 PF 驱动和 VF 驱动之间的通信
- 支持队列、VSI 和 PCIe Function 之间可配置的绑定
- 支持 legacy/MSI/MSI-X 中断类型，每个 PCIe 最大支持 1024 个 MSI-X 中断向量
- 支持可配置的中断向量绑定
- 支持中断节流控制，用于限制最大中断速率和最小中断间隔

1.1.4 管理接口

- 100Mb/s BMC 接口，遵循 NC-SI 协议，支持和 LAN 端透传
- 支持 NC-SI over RBT for OCP cards (DSP0222)
- 支持 NC-SI over RBT for On-board cards (DSP0222)
- 支持 MCTP over PCIe VDM for PCIe cards (DSP0236)
- 支持 MCTP over SMBUS for PCIe cards (DSP0222)
- 支持 PLDM Base Specification (DSP2040)
- 支持 PLDM for Monitor and Control (DSP0248)

- 支持 PLDM for Firmware Update (DSP0267)
- 支持 PLDM for Redfish Device Enablement (DSP0218)
- 支持 6 组 IIC，兼容 SMBUS，用于外围模块配置和通信
- 支持 2 组 UART 口分别用于调试和波特率通信协议
- 支持 96 组 GPIO

1.1.5 虚拟化

- 支持 VMDq，最大支持 512 个虚拟设备
- 支持 SR-IOV，最大支持 4 个 PCIe Physical Function、504 个 PCIe Virtual Function、512 个 VSI
- 支持 Scalable IOV，最大支持 512 个虚拟设备
- 支持 VirtIO

1.1.6 数据中心

- 支持数据中心桥接 (DCB)
- 支持 IEEE 802.1Qbb PFC
- 支持 IEEE 802.1Qaz ETS
- 支持可配置的最多 8 个二层标签，支持标签的插入和剥离
- 支持 VXLAN、NVGRE、Geneve、NSH 等 overlay 协议卸载

1.1.7 报文交换和处理

- 可配置的报文交换和处理引擎，能为多种 SDN 场景提供加速
- 片上最大支持 32K 二元匹配器
- 支持 VEB 和 VEPA 模式，支持源 MAC 地址和 VLAN 防欺骗功能
- 支持 OVS 数据平面的全硬件卸载
- 支持 TC_Flower 和 RTE_Flow 的 OVS 硬件卸载接口
- 每个报文可最多定义 256 个查找匹配，每个查找项可定义从报文中抽取的 5 组 2 字节内容，支持级联查找，支持最长前缀匹配
- 支持灵活的报文交换和处理动作，包括但不限于以下应用：
 - 报文协议字段修改
 - 网络地址转换 (NAT)
 - Overlap 协议封装和解封装
 - 连接跟踪
 - 基于流和表示器的报文限速 (Meter)，速率设置可支持报文数和字节数
 - 报文镜像
 - 报文抽样
 - 流统计计数
- 支持硬件链路聚合组 (LAG)，可支持 bond 模式 1 (主备)、模式 2 (XOR)、模式 4 (LACP)

1.1.8 RDMA

- 支持 RoCEv2
- 支持可靠连接（RC）和不可靠数据报（UD）
- 支持最多 256K 队列对（Queue Pairs）
- 相似的发送队列（SQ）和接收队列（RQ）的 WQE 格式。每个 WQE 的大小可以从 1 到 14 个散列列表（SGEs），对应的大小为 32B、64B、96B、128B、160B、192B、224B 和 256B
- 支持最多 224 字节的内联数据 WQE
- 支持的 WQE 类型：发送（Send）、带失效的发送（Send with Invalidate）、带请求事件的发送（Send with Solicited Event）、带请求事件和失效的发送（Send with Solicited Event and Invalidate）、RDMA 写入（RDMA Write）、RDMA 读取（RDMA Read）、快速注册内存区域（Fast-Register Memory Region）、本地 STag 失效（Invalidate Local STag）、内存窗口绑定（Memory Window Bind）
- 支持最大的 message size 为 1GB
- 支持的最大入站 RDMA 读取队列深度为 256
- 支持的最大出站 RDMA 读取队列深度为 256
- 支持最多 512K 完成队列（Completion Queues）
- 每个 PCIe 功能支持最多 256 个完成事件队列（Completion Event Queue）
- 每个 PCIe 功能支持最多 4M 内存区域/窗口（Memory Region/Window）
- 支持 QP 级别的 DCQCN（数据中心拥塞控制）和 TIMELY
- 支持内存窗口绑定（Memory Window Bind）
- 支持 go-back-N 重传模式
- QP/CQ/CEQ/AEQ 支持虚拟地址（非连续物理内存）
- 支持 CQ resize
- 支持 UD Multicast
- 支持最大 256K Address Handles
- 支持 RoCE over VXLAN/GRE

1.1.9 无状态卸载

- 支持以太网 FCS 的插入和剥离
- 支持 TCP 和 UDP 的发送切片，最大支持 256K 字节
- 支持 IPv4-TCP 接收聚合，最大支持 64K 字节
- 支持 IP/TCP/UDP checksum、SCTP CRC 和 RoCEv2 ICRC 的生成和校验，可支持 overlay 协议
- 支持发送侧分发（TSS）和接收侧分发（RSS），可支持 overlay 协议
- 支持接收侧 Flow Director，最大支持 16K 完全匹配流表和 64K 哈希匹配流表
- 支持广播和多播风暴控制

1.1.10 发送调度

- 分层调度树

调度决策是通过选择一个节点，同时考虑其在树的每一层中的分支状态来完成的。树的层表示定义调度属性的实体，可以是队列、一组队列、VSI、PCI 功能、流量类、网络端口等。

- 最多支持 2624 个调度树叶节点
- 基于加权公平排队（WFQ）、严格优先级（SP）、加权严格优先级（WSP）和混合算法的调度
- 通过双速率整形器保证最小带宽
- 速率限制，包括每个节点的共享速率限制
- 灵活可配置的拓扑结构（包括动态配置调整）
- 每个调度器节点都可以通过基于软件或基于硬件的流控制机制停止

1.1.11 时间同步

- 支持精准时间协议（PTP）
 - IEEE 1588PTP 硬件时钟（PHC）（数字或二进制格式）
 - 纳秒级精度
 - 线路速率硬件时间戳（数字或二进制格式）
 - PPS 输入和可配置 PPS 输出
- 支持捕获每个接收数据包的时间戳
- 支持为发送时间同步数据包捕获最多 64 个时间戳
- 支持通过自定义数据包测量内部数据路径延迟

1.1.12 安全

- 支持网卡固件安全启动功能，保护固件运行代码可靠性
- 支持固件升级防回滚
- 固件升级中支持断电保护

1.1.13 远程启动

- 支持以太网远程启动
- 支持 iSCSI 远程启动
- 支持 x86 和 ARM 服务器的 UEFI 和 PXE

1.1.14 功耗管理

- 支持 PCIe 低功耗特性，设备状态支持 D0、D3hot、D3cold，链路状态支持 L0、L0s、L1、L2、L3
- 支持网络休眠唤醒

1.2 引脚描述

Note: the single-ended signal IO level standard of WX6000 chip is 1.8V LVC MOS standard.

Table1 Chip Control

Ball #	Pin Name	Type	Description
M3	PORST_N	Input	芯片全局复位输入
L4	GPIO_RST_MODE_0	Input	全局复位控制
L3	GPIO_RST_MODE_1	Input	RST_MODE[1:0]=2'b00, pcie0_perst_n 和pcie1_perst_n有效都不触发全局复位 RST_MODE[1:0]=2'b01, pcie0_perst_n 有效触发全局复位 RST_MODE[1:0]=2'b10, pcie1_perst_n 有效触发全局复位 RST_MODE[1:0]=2'b11, pcie0_perst_n 和pcie1_perst_n都有效会触发全局复位 使用WOL, NCSI辅电功能时, 采用00
L2	GPIO_PLL_BYPASS	Input	该引脚输入高电平, 芯片内部 PLL 被旁路, 芯片默认下拉。
L5	GPIO_HOLD_MODE	Input	该引脚输入高电平, 表示 pcie phy 受到 power on reset 和固件影响。为低电平时, 表示 pcie phy 只受 power on reset 影响。芯片默认上拉。
M4	GPIO_MEM_REPAIR_DIS	Input	该引脚输入默认低电平, 即在 por reset 释放之后会对内部的 memory 进行 repair, 为高电平时, 则关闭 repair 功能
N2	GPIO_OTP_MARGIN_EN	Input	该引脚输入高电平表示 efuse 进入 Margin Read Mode, 提供更多的读条件来过滤掉“weak programmed”位, 引脚默认下拉。
P2	GPIO_LTSSM_MD	Input	该引脚输入低电平, 表示 PCIE LTSSM 使能由固件控制, 默认下拉。
K16	CLK_OSC_XIN	Input	25M 无源输入, XIN 支持 25M 有源输入, 接有源时钟时 XOUT 引脚悬空
J16	CLK_OSC_XOUT	Output	25M 无源输出, XIN 支持 25M 有源输入, 接有源时钟时 XOUT 引脚悬空
M1	DP_MODE_N	Input	该引脚输入低电平有效, 两路 PCIe 都采用时, 双主模式需要拉低。
N5	GPIO_BOOT_FROM_NOR	Input	该引脚输入默认低电平 0: boot from internal rom 1: boot from external nor flash

Table2 Ethernet Port0 PHY

Ball #	Pin Name	Type	Description
E10	eth0_txp[0]	Output	网口 0 的 TX 差分信号，CML 电平标准
D8	eth0_txn[1]	Output	
E8	eth0_txp[1]	Output	
D6	eth0_txn[2]	Output	
E6	eth0_txp[2]	Output	
D4	eth0_txn[3]	Output	
E4	eth0_txp[3]	Output	
E10	eth0_txp[0]	Output	
A10	eth0_rxn[0]	Input	网口 0 的 RX 差分信号，CML 电平标准
B10	eth0_rxp[0]	Input	
A8	eth0_rxn[1]	Input	
B8	eth0_rxp[1]	Input	
A6	eth0_rxn[2]	Input	
B6	eth0_rxp[2]	Input	
A4	eth0_rxn[3]	Input	
B4	eth0_rxp[3]	Input	
G8	eth0_ref_clk_n	Input	网口 0 的 156.25MHZ 差分时钟输入，LVDS 电平标准
G9	eth0_ref_clk_p	Input	
E1	GPIO_LED_LOG0	Bidir	网口逻辑状态灯，可分别用作网口 0，1，2，3 的 LINK/ACT 指示灯，建议按照参考设计接法，和标准固件一致。
F2	GPIO_LED_LOG1	Bidir	
G1	GPIO_LED_LOG2	Bidir	
F3	GPIO_LED_LOG3	Bidir	
D1	GPIO_LED_PHY_P0	Bidir	
D2	GPIO_LED_PHY_P1	Bidir	
G4	GPIO_LED_PHY_P2	Bidir	
G3	GPIO_LED_PHY_P3	Bidir	
F7	eth0_refres	Input	ETH0 的终端匹配电阻，阻值 200 欧姆，精度 1%

Table3 Ethernet Port1 PHY

Ball #	Pin Name	Type	Description
D18	eth1_txn[0]	Output	网口 1 的 TX 差分信号，CML 电平标准
E18	eth1_txp[0]	Output	
D16	eth1_txn[1]	Output	
E16	eth1_txp[1]	Output	
D14	eth1_txn[2]	Output	
E14	eth1_txp[2]	Output	
D12	eth1_txn[3]	Output	

Ball #	Pin Name	Type	Description
E12	eth1_txp[3]	Output	
F17	eth1_refres	Input	网口 1 的 RX 差分信号，CML 电平标准
A18	eth1_rxn[0]	Input	
B18	eth1_rxp[0]	Input	
A16	eth1_rxn[1]	Input	
B16	eth1_rxp[1]	Input	
A14	eth1_rxn[2]	Input	
B14	eth1_rxp[2]	Input	
A12	eth1_rxn[3]	Input	
G15	eth1_ref_clk_n	Input	网口 1 的 156.25MHZ 差分时钟输入，LVDS 电平标准
G16	eth1_ref_clk_p	Input	
F17	eth1_refres	Input	ETH1 的终端匹配电阻，阻值 200 欧姆，精度 1%

Table4 PCI Express

Ball #	Pin Name	Type	Description
W1	pcie0_perst_n	Input	PCIE0 复位信号
AB1	pcie0_wake_n	Output	PCIE0 PHY 的网络唤醒信号输出
V7	pcie0_ref_clk_n	Input	PCIE0 的参考时钟，频率 100M，推荐 HCSL 电平标准
U7	pcie0_ref_clk_p	Input	
W9	pcie0_phy0_resref	Input	PCIE0 的终端匹配电阻，阻值 200 欧姆，精度 1%
W13	pcie0_phy1_resref	Input	PCIE0 的终端匹配电阻，阻值 200 欧姆，精度 1%
N1	GPIO_AUX_PWR_DET	Input	PCIE 的 AUX 电源输入模式，1 代表 AUX 电源供电，0 代表 main 电源供电
AD3	pcie0_rxn[0]	Input	CML differential signal, PCIE0 PHY differential pairs.
AC3	pcie0_rxp[0]	Input	
AD5	pcie0_rxn[1]	Input	
AC5	pcie0_rxp[1]	Input	
AD7	pcie0_rxn[2]	Input	
AC7	pcie0_rxp[2]	Input	
AD9	pcie0_rxn[3]	Input	
AC9	pcie0_rxp[3]	Input	
AD11	pcie0_rxn[4]	Input	
AC11	pcie0_rxp[4]	Input	
AD13	pcie0_rxn[5]	Input	
AC13	pcie0_rxp[5]	Input	
AD15	pcie0_rxn[6]	Input	
AC15	pcie0_rxp[6]	Input	

Ball #	Pin Name	Type	Description
AD17	pcie0_rxn[7]	Input	
AC17	pcie0_rxp[7]	Input	
AA2	pcie0_txn[0]	Output	
Y2	pcie0_txp[0]	Output	
AA4	pcie0_txn[1]	Output	
Y4	pcie0_txp[1]	Output	
AA6	pcie0_txn[2]	Output	
Y6	pcie0_txp[2]	Output	
AA8	pcie0_txn[3]	Output	
Y8	pcie0_txp[3]	Output	
AA10	pcie0_txn[4]	Output	
Y10	pcie0_txp[4]	Output	
AA12	pcie0_txn[5]	Output	
Y12	pcie0_txp[5]	Output	
AA14	pcie0_txn[6]	Output	
Y14	pcie0_txp[6]	Output	
AA16	pcie0_txn[7]	Output	
Y16	pcie0_txp[7]	Output	
R17	pcie1_perst_n	Input	PCIE1 复位信号
T16	pcie1_wake_n	Output	PCIE1 PHY 的网络唤醒信号输出
V15	pcie1_ref_clk_n	Input	PCIE1 的参考时钟，频率 100M，推荐 HCSL 电平标准
U15	pcie1_ref_clk_p	Input	
R19	pcie1_phy0_resref	Output	PCIE1 的终端匹配电阻，阻值 200 欧姆，精度 1%
N19	pcie1_phy1_resref	Output	PCIE1 的终端匹配电阻，阻值 200 欧姆，精度 1%
AD19	pcie1_rxn[0]	Output	CML differential signal, PCIE1 PHY differential pairs.
AC19	pcie1_rxp[0]	Output	
AD21	pcie1_rxn[1]	Output	
AC21	pcie1_rxp[1]	Output	
AA24	pcie1_rxn[2]	Output	
Y24	pcie1_rxp[2]	Output	
V24	pcie1_rxn[3]	Output	
V23	pcie1_rxp[3]	Output	
T24	pcie1_rxn[4]	Output	
T23	pcie1_rxp[4]	Output	
P24	pcie1_rxn[5]	Output	
P23	pcie1_rxp[5]	Output	
M24	pcie1_rxn[6]	Output	
M23	pcie1_rxp[6]	Output	
K24	pcie1_rxn[7]	Output	
K23	pcie1_rxp[7]	Output	

Ball #	Pin Name	Type	Description
AA18	pcie1_txn[0]	Output	
Y18	pcie1_txp[0]	Output	
AA20	pcie1_txn[1]	Output	
Y20	pcie1_txp[1]	Output	
AA22	pcie1_txn[2]	Output	
Y22	pcie1_txp[2]	Output	
V21	pcie1_txn[3]	Output	
T20	pcie1_txp[4]	Output	
V20	pcie1_txp[3]	Output	
P20	pcie1_txp[5]	Output	
P21	pcie1_txn[5]	Output	
M20	pcie1_txp[6]	Output	
M21	pcie1_txn[6]	Output	
K20	pcie1_txp[7]	Output	
K21	pcie1_txn[7]	Output	

Table5 SPI Flash

Ball #	Pin Name	Type	Description
A22	SPI_CSN	Output	SPI Interface from Controller to Flash
B23	SPI_SCK	Output	
A20	SPI_IO0	BiDir	
A21	SPI_IO1	BiDir	
B20	SPI_IO2	BiDir	
B21	SPI_IO3	BiDir	

Table6 UART

Ball #	Pin Name	Type	Description
J1	GPIO_UART_SIN	Input	UART Interface to on-chip CPU
H4	GPIO_UART_SOUT	Output	
H1	GPIO_UART1_SIN	Input	UART1
H3	GPIO_UART1_SOUT	Output	

Table7 NCSI

Ball #	Pin Name	Type	Description
D22	NCSI_RXD_0	Output	Receive Data. Data signals to the BMC.
C19	NCSI_RXD_1		
D24	NCSI_TX_EN	Input	Transmit Enable
D23	NCSI_CSR_DV	Output	Carrier Sense/Receive Data Valid

Ball #	Pin Name	Type	Description
E24	NCSI_REF_CLK	Input	NCSI reference clock
C22	NCSI_TXD_0	Input	Transmit Data. Data signals from the BMC.
C23	NCSI_TXD_1		

Table8 MII

Ball #	Pin Name	Type	Description
P5	GPIO_MNG_MDIO	BiDir	If NCSI is connected to PHY, this Interface is used to control the PHY, otherwise it is not connected by default.
P3	GPIO_MNG_MDC	Output	

Table9 IIC/MDIO

Ball #	Pin Name	Type	Description
J5	GPIO_IIC0_SDA_MDIO0	BiDir	I2C Interface for laser module configuration Input 25G PHY
H6	GPIO_IIC0_SDC_MDC0		
K5	GPIO_IIC1_SDA_MDIO1		
H5	GPIO_IIC1_SDC_MDC1		
H7	GPIO_IIC2_SDA_MDIO2		
K3	GPIO_IIC2_SDC_MDC2		
K4	GPIO_IIC3_SDA_MDIO3		
J4	GPIO_IIC3_SDC_MDC3		

Table10 PPS

Ball #	Pin Name	Type	Description
E2	GPIO_PPS_0	BiDir	GPIO_PPS[0:7]复用为网口 0 和网口 1 的 TS1588 GPIO, 结合芯片定时器, 用于产生可配置时钟、脉冲、电平、集外部事件、基于外部事件产生中断。不使用可以悬空。
F1	GPIO_PPS_1		
G2	GPIO_PPS_2		
H2	GPIO_PPS_3		
J3	GPIO_PPS_4		
K1	GPIO_PPS_5		
K2	GPIO_PPS_6		
L1	GPIO_PPS_7		

Table11 MNG SMBus

Ball #	Pin Name	Type	Description
B2	GPIO_SMB0_SCL	OD	SMBus0 to on-chip CPU, SMBUS should be isolated from slot SMBUS
C1	GPIO_SMB0_SDA	OD	
R1	GPIO_SMB0_ALERT	Output	
C2	GPIO_SMB1_SCL	OD	SMBus1 to on-chip CPU, SMBUS should be isolated from slot SMBUS
C3	GPIO_SMB1_SDA	OD	
T1	GPIO_SMB1_ALERT	Output	

Table12 GPIO/ Probe

Ball #	Pin Name	Type	Description
C20	GPIO_PRB_CLK	Output	调试模式时 PRB_OUT_EN =1 时， PRB_DATA_[0:31] 为芯片调试信号， 正常模式 PRB_OUT_EN =0 时， 这些 GPIO 信号用作常规 GPIO。
C24	GPIO_PRB_CLK_SEL_0	Input	
B22	GPIO_PRB_CLK_SEL_1	Input	
C21	GPIO_PRB_OUT_EN	Input	
T2	gpio_38	Bidir	
T3	gpio_39		
U1	gpio_40		
U2	gpio_41		
U3	gpio_42		
V1	gpio_43		
V2	gpio_44		
V3	gpio_45		
D20	gpio_64_prb_out_0		
D21	gpio_65_prb_out_1		
E21	gpio_66_prb_out_2		
E23	gpio_67_prb_out_3		
F23	gpio_68_prb_out_4		
F24	gpio_69_prb_out_5		
E20	gpio_70_prb_out_6		
F20	gpio_71_prb_out_7		
F21	gpio_72_prb_out_8		
F22	gpio_73_prb_out_9		
F19	gpio_74_prb_out_10		
G20	gpio_75_prb_out_11		
G22	gpio_76_prb_out_12		
G23	gpio_77_prb_out_13		
G24	gpio_78_prb_out_14		
G18	gpio_79_prb_out_15		
G19	gpio_80_prb_out_16		
H23	gpio_81_prb_out_17		
H24	gpio_82_prb_out_18		
H20	gpio_83_prb_out_19		
H21	gpio_84_prb_out_20		
H22	gpio_85_prb_out_21		
H18	gpio_86_prb_out_22		
H19	gpio_87_prb_out_23		
J23	gpio_88_prb_out_24		
J24	gpio_89_prb_out_25		

Ball #	Pin Name	Type	Description
H17	gpio_90_prb_out_26		
J19	gpio_91_prb_out_27		
J22	gpio_92_prb_out_28		
K18	gpio_93_prb_out_29		
J18	gpio_94_prb_out_30		
L17	gpio_95_prb_out_31		

Table13 JTAG

Ball #	Pin Name	Type	Description
N18	GPIO_JTAG_SEL_0	Input	JTAG signals for testing purpose. They are not used in normal operations.
N17	GPIO_JTAG_SEL_1	Input	
P18	GPIO_JTAG_SEL_2	Input	
M18	GPIO_JTAG_SEL_3	Input	
L19	GPIO_JTAG_SEL_4	Input	
L18	GPIO_JTAG_SEL_5	Input	
P16	JTRST_N	Input	
P17	JTDO	Output	
R16	JTMS	Input	
R15	JTDI	Input	
M17	JTCK	Input	

Table14 Test Signals

Ball #	Pin Name	Type	Description
P1	TEST_SEL	Input	TEST_SEL 默认是低电平, 为高电平时用于 DFT 测试, 为低电平时, 根据 test mode 选择功能。 TEST_MODE_[1:0] 00: normal function 01: phy test 10: iddq_mode 11: burn_in_test
N4	GPIO_TEST_MODE_0		
N3	GPIO_TEST_MODE_1		

Table15 Power Supplies

Ball #	Pin Name	Description
B1 Y1 AA1 AC1 A2 J2 M2 R2 W2 AB2 AC2 AD2 A3 B3 D3 E3 Y3 AA3 AB3 C4 F4 P4 W4 AB4 AC4 AD4 A5 B5 C5 D5 E5 F5 G5 R5 W5 Y5 AA5 AB5 C6 F6 G6 K6 M6 P6 T6 U6 V6 W6 AB6 AC6 AD6 A7 B7 C7 D7 E7 G7 L7 N7 R7 T7 W7 Y7 AA7 AB7 C8 F8 H8 K8 M8 P8 U8 V8 W8 AB8 AC8 AD8 A9 B9 C9 D9 E9 F9 H9 L9 N9 R9	VSS	Ground for digital power

Ball #	Pin Name	Description
Y9 AA9 AB9 C10 F10 G10 K10 P10 W10 AB10 AC10 AD10 A11 B11 C11 D11 E11 J11 L11 N11 R11 U11 V11 W11 Y11 AA11 AB11 C12 F12 G12 K12 P12 W12 AB12 AC12 AD12 A13 B13 C13 D13 E13 H13 L13 N13 R13 Y13 AA13 AB13 C14 F14 G14 K14 M14 P14 T14 U14 V14 W14 AB14 AC14 AD14 A15 B15 C15 D15 E15 F15 H15 J15 N15 T15 W15 Y15 AA15 AB15 C16 F16 H16 L16 U16 V16 W16 AB16 AC16 AD16 A17 B17 C17 D17 E17 G17 J17 K17 W17 Y17 AA17 AB17 C18 F18 W18 AB18 AC18 AD18 A19 B19 D19 E19 K19 M19 P19 T19 U19 V19 W19 Y19 AA19 T4 V4 U5 T17 V17 R18 U18 AB19 J20 L20 N20 R20 U20 W20 AB20 AC20 AD20 J21 L21 N21 R21 U21 W21 Y21 AA21 AB21 K22 M22 N22 P22 R22 T22 U22 V22 W22 AB22 AC22 AD22 A23 L23 N23 R23 U23 W23 Y23 AA23 AB23 AC23 AD23 B24 L24 N24 R24 U24 W24 AB24 AC24		
L15	PLL_VSSA	Ground for PLL
M16	PLL_VDDAH	PLL 1.8V 模拟电源
K15	PLL_VDDPST	IO PLL 1.8V 数字电源
G21 E22 L22	VDDPST_L	IO 1.8V 数字电源
M5 R3 W3	VDDPST_R	IO 1.8V 数字电源
N16	PLL_VDDA	PLL 0.8V 模拟电源
J6	TEMPSENSOR_VDDA_1P8	Temp sensor 1.8V 模拟电源
M12	DFT_EFUSE_VQPS	ETH 1.0V 模拟电源
M10	EFUSE_VQPS	EFUSE 1.8V 电源
J7 J8 J9 H10	ETH0_VP	ETH0 0.9V 模拟电源
F11 G11	ETH0_VPH	ETH0 1.8V 模拟电源
H12 J3 H14 J14	ETH1_VP	ETH1 0.9V 模拟电源
F13 G13	ETH1_VPH	ETH1 1.8V 模拟电源
T8 T9 U9 V9 T10	PE_PHY0_VP	PCIE0 0.9V 模拟电源
U10 V10	PE_PHY0_VPH	PCIE0 1.8V 模拟电源
T11 T12 U12 V12 T1	PE_PHY1_VP	PCIE1 0.9V 模拟电源
U13 V13	PE_PHY1_VPH	PCIE1 1.8V 模拟电源
R4 U4 T5 V5 L6 N6 R6 K7 M7 P7 L8 N8 R8 K9 M9 P9 J10 L10 N10 R10 H11 K11 M11 P11 J12 L12N12R12 K13 M13 P13 L14 N14 R14 M15 P15 U17 T18 V18	VDD	0.8V 内核数字电源

1.3 电气规格

1.3.1 绝对最大额定值

参数	Min	Typ	Max	Units
存储温度范围	-65		140	℃
Tj (PN 结温度)	-40		125	℃
VDDPST_L, VDDPST_R	1.62	1.8	1.98	V
DFT_EFUSE_VQPS	1.62	1.8	1.98	V
EFUSE_VQPS	1.62	1.8	1.98	V
PLL_VDDPST	1.62	1.8	1.98	V
PLL_VDDAH	1.62	1.8	1.98	V
PLL_VDDA	0.76	0.8	0.84	V
TEMPSENSOR_VDDA	1.62	1.8	1.98	V
ETH0_VP, ETH1_VP	0.855	0.9	0.945	V
ETH0_VPH, ETH1_VPH	1.62	1.8	1.98	V
VDD	0.76	0.8	0.84	V
PE_PHY0_VP, PE_PHY1_VP	0.855	0.9	0.945	V
PE_PHY0_VPH, PE_PHY1_VPH	1.62	1.8	1.98	V

Table16 WX6000 绝对最大额定值

1.3.2 建议工作条件

参数	Min	Typ	Max	Units	Noise
工作温度范围	0		55	℃	
VDDPST_L, VDDPST_R	1.71	1.8	1.89	V	<54mV
DFT_EFUSE_VQPS	1.71	1.8	1.89	V	<54mV
EFUSE_VQPS	1.71	1.8	1.89	V	<54mV
PLL_VDDPST	1.71	1.8	1.89	V	<54mV
PLL_VDDAH	1.71	1.8	1.89	V	<54mV
PLL_VDDA	0.76	0.8	0.84	V	<40mV
TEMPSENSOR_VDDA	1.71	1.8	1.89	V	<54mV
ETH0_VP, ETH1_VP	0.855	0.9	0.945	V	<45mV
ETH0_VPH, ETH1_VPH	1.71	1.8	1.89	V	<54mV
VDD	0.76	0.8	0.84	V	<40mV
PE_PHY0_VP, PE_PHY1_VP	0.855	0.9	0.945	V	<45mV

PE_PHY0_VPH, PE_PHY1_VPH	1.71	1.8	1.89	V	<54mV
-----------------------------	------	-----	------	---	-------

Table17 WX6000 网络控制器建议工作条件

1.3.3 工作电流

WX6000 网络控制器在室温 25℃环境下, PC 机平台上安装两个光模块同时采用双 LAN 口回环进行 4k 包满负荷 100G 速率下进行通信测试, 测得功耗如下图:

供电电源 / 电流	Linkspeed		
	2*25G PCIe Gen5x8	2*25G PCIe Gen4x8	2*100G PCIe Gen5x 8
VDDPST_L, VDDPST_R,	0.009	0.009	0.0088
PE_PHY0_VPH, PE_PHY1_VPH	0.703	0.442	0.696
ETH0_VPH, ETH1_VPH	0.751	0.768	0.75
EFUSE_VQPS, PLL_VDDPST, PLL_VDDAH, TEMPSENSOR_ VDDA	0.008	0.008	0.0085
VDD, PLL_VDDA	3.5	4	8.25
ETH0_VP, ETH1_VP	1.32	1.42	1.508
PE_PHY0_VP	1.92	1.035	1.807
PE_PHY1_VP	0.022	0.025	0.029
Total Power	8.38w	7.64w	12.25w

Notes:

Typical conditions: room temperature (TA) = 25℃, nominal voltages and continuous network traffic at link speed at full duplex.

Maximum conditions: maximum operating temperature (TJ) values, Nominal voltage values and continuous network traffic at link speed at full duplex.

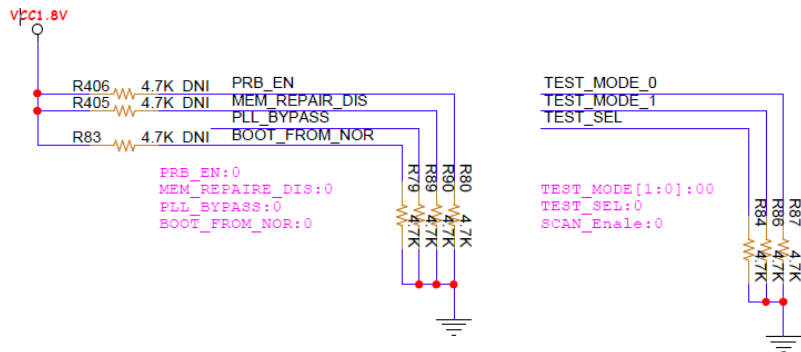
PCIe Configured to x8 Gen5 operation.

There may be errors in measurement values due to different chip lots, testing environments, and testing methods.

Table18 WX6000 工作电流

供电电源 / 电流	Linkspeed		
	2*25G PCIe Gen5x8	2*25G PCIe Gen4x8	2*100G PCIe Gen5x 8
VDDPST_L, VDDPST_R,	0.008	0.009	0.0075

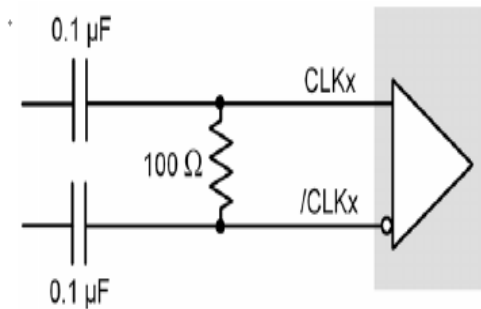
WX6000 的 TEST_MODE_0、TEST_MODE_1 和 TEST_SEL 引脚内部默认下拉，test_mode[1:0]=00，test_sel=0，正常功能模式，这些功能引脚使用默认值。PRB_EN，MEM_REPAIR_DIS，PLL_BYPASS，BOOT_FROM_FLASH 默认下拉。



WX6000 的 PCIE0_PHY0_RESREF, PCIE0_PHY1_RESREF, PCIE1_PHY1_RESREF, PCIE1_PHY1_RESREF 的终端匹配电阻使用精度 1% 的 200 欧姆电阻。ETH0_RESREF、ETH1_RESREF 的终端匹配电阻使用精度 1% 的 200 欧姆电阻。

1.3.5 ETH 时钟输入

ETH0_REF_CLK_P、ETH0_REF_CLK_N 引脚要求 156.25MHZ 的差分时钟输入，ETH1_REF_CLK_P、ETH1_REF_CLK_N 引脚要求 156.25MHZ 的差分时钟输入，要求 1.8V 的 LVDS 差分晶振输入，采用 AC 耦合输入，LVDS 标准要求在 ETH0_REF_CLK_P、ETH0_REF_CLK_N 引脚和 ETH1_REF_CLK_P、ETH1_REF_CLK_N 引脚间并联上 100 欧姆电阻，精度 1%。差分时钟输入方案见参考设计原理图。



1.3.6 电源设计

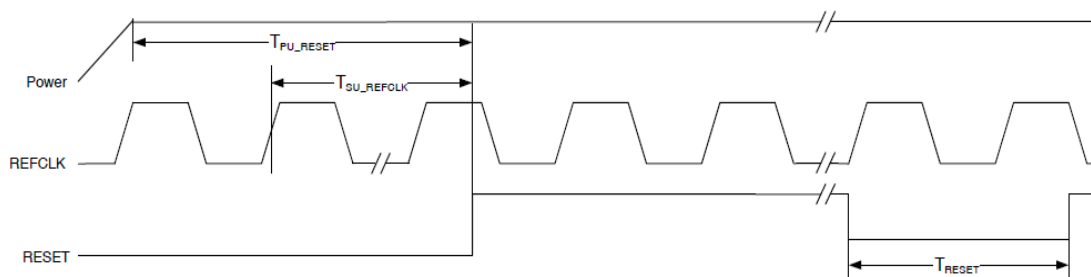
WX6000 的 PCIE 部分电源有 0.9V 和 1.8V，网络部分 0.9V 和 1.8V，内核供电 0.8V，IO 供电 1.8V，电源不需要保持一定上电时序。设计 4 路电源 0.8V、0.9V、1.8V 以及光模块的 3.3V 电源。PCIE 和网络部分的 0.9V 和 1.8V 分别采用磁珠隔离供电。电源滤波电容采用 10nF\100nF\4.7uF\10uF 组合使用。建议 0.8V 电源选择最大电流输出在 16-20A 以上，0.9V 电源输出最大电流在 6A 以上。1.8V 电源输出最大电流在 3A 以上。需要根据具体芯片型号的功耗采用对应散热能力的散热片。

1.3.7 复位时间

WX6000 的复位信号需要外部提供，输入要求如下图所示：

参数	Min	Typ	Max	Units
TPU_RESET (电源有效直到 RESET 信号拉高)	10			ms
TRESET (正常工作期间最小复位脉冲宽度)	10			ms

Table20 复位时间



1.3.8 NCSI AC Specification

The WX6000 is designed to support the standard DMTF NCSI interface. For NCSI I/F timing specification see the following table.

Symbol	Parameter	Min	Typ	Max	Units
Tckf	NCSI_REF_CLK Frequency		50		MHz
Rdc	NCSI_REF_CLK duty cycle	35		65	%
Racc	NCSI_REF_CLK accuracy			100	ppm
Tco	Clock-to-out (10 pF =< cload <=50 pF) NCSI_RXD[1:0], NCSI_CSR_DV Data valid from NCSI_REF_CLK rising edge	3		4	ns
Tsu	NCSI_TXD[1:0], NCSI_TX_EN Data Setup to NCSI_CLK_IN rising edge	3			ns
Thold	NCSI_TXD[1:0], NCSI_TX_EN Data hold from NCSI_REF_CLK rising edge	1			ns
Tor	NCSI_RXD[1:0], NCSI_CSR_DV Output Time rise	0.5		6	ns
Tof	NCSI_RXD[1:0], NCSI_CSR_DV Output Time fall	0.5		6	ns

Tckr/Tckf	NCSI_REF_CLK Rise/Fall Time	0.5		3.5	ns
-----------	-----------------------------	-----	--	-----	----

1.3.9 FLASH 推荐

制造商	模块类型
Gigadevice	GD25LQ64 系列
winbond	W25Q64FW 系列
microchip	SST26WF064B 系列

Table21 推荐 SPI FLASH 型号

1.3.10 光模块推荐

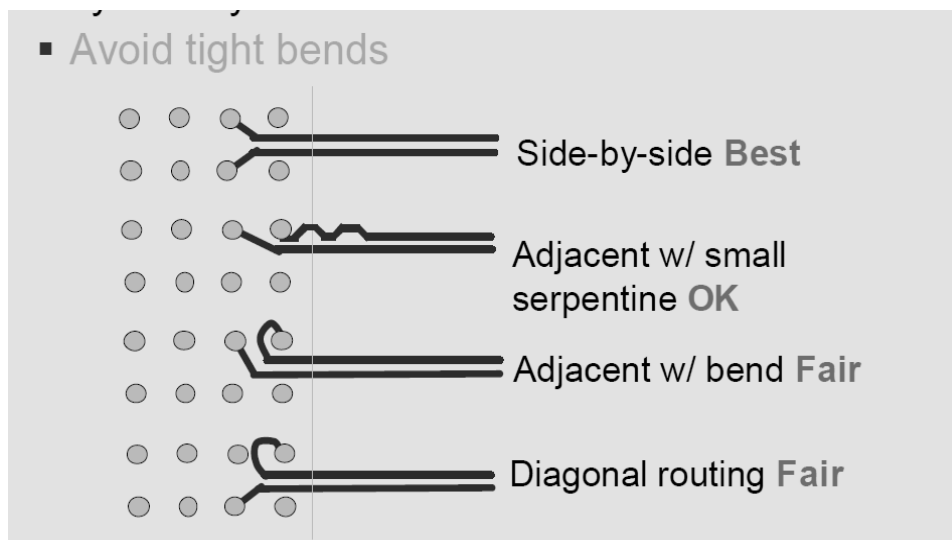
下表所示的光模块经过测试，能够支持，保证通信质量。

制造商	料号	模块类型
ZBNET	ZB100G-2M	100G QSFP28 DAC
FIBERTOP	QP-D11HG-3MC26	100G QSFP28 DAC
FINISAR	FTLC9152RGPL	100G 多模模块
中科光电	ZK-QSFP28-100G-SWDM4	100G 多模模块
WTD	RTXM330-551	25G 多模模块
FINISAR CORP	FTLF8536P4BCV	25G 多模模块
Hisense	LTF8505-BC+	25G 多模模块

Table22 推荐光模块型号

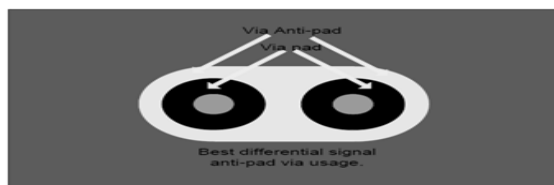
1.3.11 PCI_Express 布线建议

- PCI_Express 信号带宽最高 32Gbps
- 串接 0.22uF 电容尽量靠近金手指放置；
- 差分线对内等长 3mil 以内；
- 差分线对间间距至少 40mil，尽可能拉开间距；
- 过孔尽量不超过 2 个，TX 和 RX 分别走不同层，长度尽量短。
- 金手指按照 PCIE 5.0 CEM 规范要求；
- PCIE TX/RX 阻抗按照 85ohm $\pm$ 10%控制，时钟信号阻抗按照 100ohm $\pm$ 10%控制；
- 遵从 PCIE CEM5.0 Section 11.2 Add-in Card Layout Requirements and Recommendations。

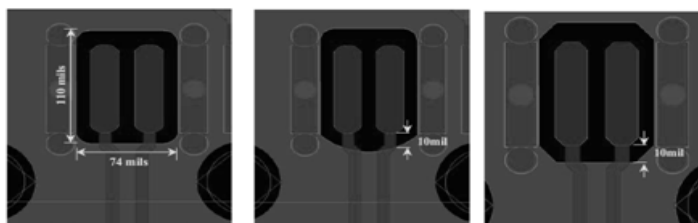


1.3.12 QSFP28 布线建议

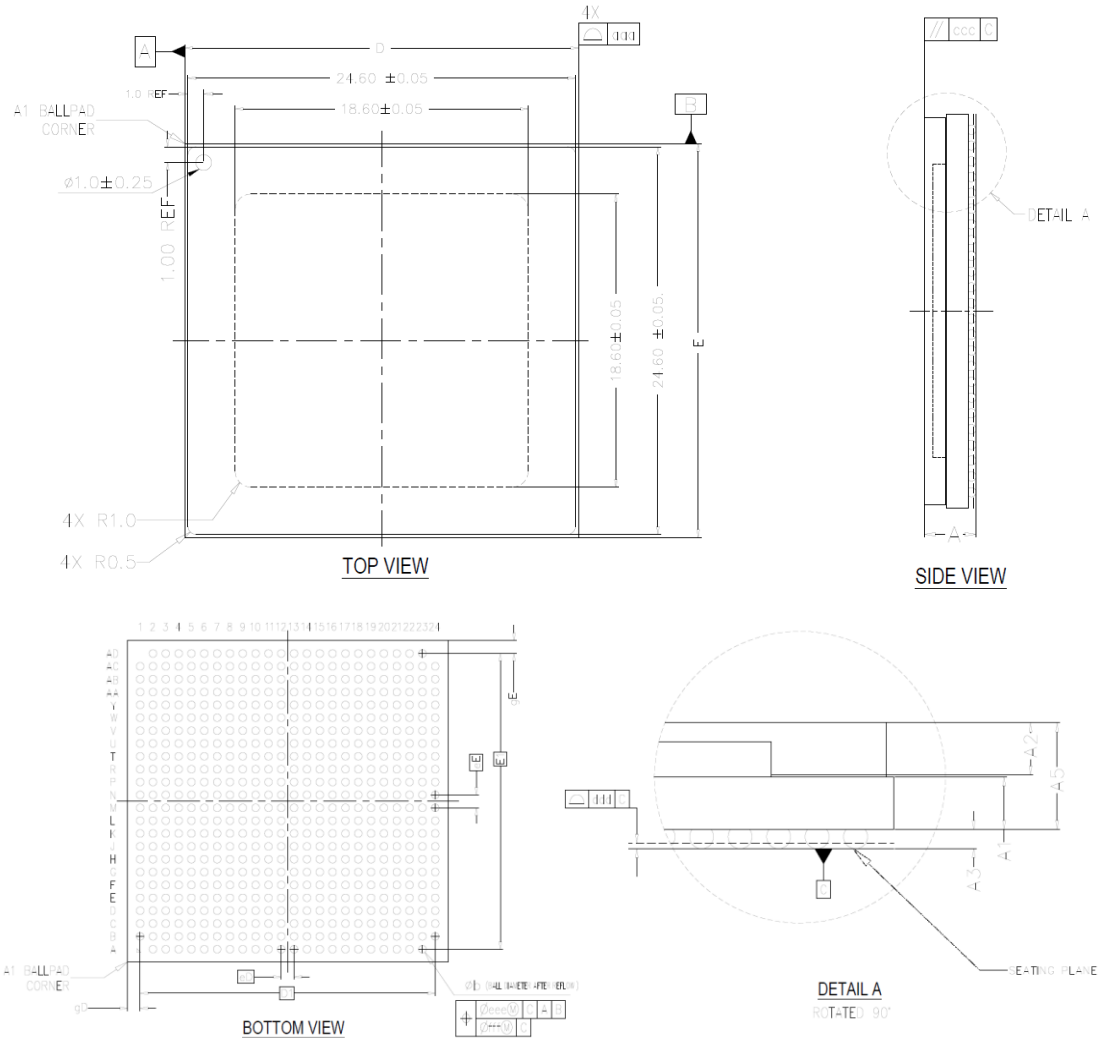
- QSFP28 插件与 WX6000 网络处理器之间的 SFP_RX 和 SFP_TX 差分对内误差 5mil，差分对之间不要求等长，走线长度越短越好，差分阻抗 100 欧姆，单端 50 欧姆，TX 和 RX 走在不同层。信号都走带状线。建议过孔采用背钻技术，减少 stub，信号质量比没有背钻要好。
- 优先保证差分对 TX 线上过孔和 RX 线过孔分别不超过 2 个；尽量减小过孔 stub 的影响，建议采用背钻工艺。差分对过孔最佳处理如下：



- QSFP28 电源 VCC3.3V 流通能力 1.5A；
- 去耦电容尽量靠近 QSFP28 插件引脚放置。
- PCB 基材建议采用松下 R-5775G 等支持 25G 速率传输的基材。
- QSFP28 的连接座处 TX RX 下面的参考地删除，大小参考下图：



2 芯片封装尺寸说明



Symbol	Min	Nominal	Max
A	3.110	3.264	3.418
A1	1.219	1.354	1.489
A2	1.300	1.350	1.400
A3	0.450	0.500	0.550
A5	2.618	2.764	2.910
b	0.550	0.600	0.650
D	24.900	25.000	25.100
E	24.900	25.000	25.100
Numbers of balls 572			
Raw Solder Ball Size 0.6			

第 3 章 热参数

3.1 热阻参数

芯片的最大结温 T_j 为 125°C ，常温下，100G 芯片典型功耗在 12.25W 左右，需要考虑加散热片。

如下图是没有散热片情况下，不同风速下的热参数，客户需要根据具体应用的环境温度和板卡结构考虑散热设计和进行热仿真。

Power Dissipation (W)	$T_{\text{ambient}} (^{\circ}\text{C})$	Theta-JA ($^{\circ}\text{C/W}$)				Theta-JB ($^{\circ}\text{C/W}$)	Theta-JC ($^{\circ}\text{C/W}$)
		V=0 (m/s)	V=1 (m/s)	V=2 (m/s)	V=3 (m/s)		
20.7	25	8.17	7.01	5.63	5.02	2.09	0.15
	35	7.99	7.00	5.63	5.01	2.09	0.15
	45	7.82	6.98	5.62	5.01	2.08	0.15
	55	7.65	6.96	5.61	5.00	2.08	0.15
	70	7.40	6.94	5.60	5.00	2.08	0.15
	85	7.16	6.91	5.59	4.99	2.07	0.15

第 4 章 订购信息

产品型号	分类	产品描述	描述
WX6100A2	通用	芯片 ($0^{\circ}\text{C}-70^{\circ}\text{C}$)，12nm，2 口	2 端口 100G 网络控制器芯片，不支持 RDMA
WX6100R2	通用	芯片 ($0^{\circ}\text{C}-70^{\circ}\text{C}$)，12nm，2 口	2 端口 100G 网络控制器芯片，支持 RDMA
WX6025R2	通用	芯片 ($0^{\circ}\text{C}-70^{\circ}\text{C}$)，12nm，2 口	2 端口 25G 网络控制器芯片，支持 RDMA
WX6025R4	通用	芯片 ($0^{\circ}\text{C}-70^{\circ}\text{C}$)，12nm，4 口	4 端口 25G 网络控制器芯片，支持 RDMA
WX6010A4	通用	芯片 ($0^{\circ}\text{C}-70^{\circ}\text{C}$)，12nm，4 口	4 端口 10G 网络控制器芯片，不支持 RDMA

备注：双口 100G 模式 Eth0 和 Eth1 的 lane0-Lane3。双口 25G 模式使用 Eth0 和 Eth1 的 lane0，四口模式使用 Eth0 和 Eth1 的 lane0、lane2。